

LIQUID CRYSTAL DISPLAY DEVICE

Patent number: JP7199150
Publication date: 1995-08-04
Inventor: MIYAWAKI MAMORU
Applicant: CANON KK
Classification:
 - International: G02F1/136; G02F1/133; G02F1/1362; G02F1/1368;
 G09G3/36; H01L27/12; H01L29/786; G02F1/13;
 G09G3/36; H01L27/12; H01L29/66; (IPC1-7):
 G02F1/133; G02F1/136; G09G3/36
 - european: G02F1/1362D; H01L27/12B; H01L29/786B3
Application number: JP19930337495 19931228
Priority number(s): JP19930337495 19931228

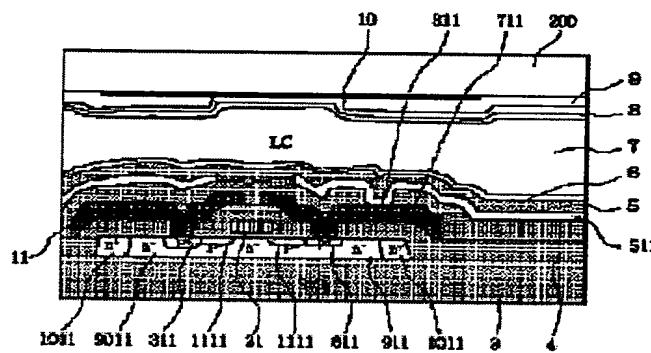
Also published as:

EP0661582 (A;
 US5717473 (A
 EP0661582 (A;
 EP0661582 (B

[Report a data error](#)

Abstract of JP7199150

PURPOSE: To provide a liquid crystal display device which obtains a high contrast, a high gradation, and a high resolution by applying a voltage to an area having the conductive type different from that of the source and the drain of a semiconductor layer where a transistor TR is constituted. **CONSTITUTION:** A glass substrate 200 is provided with a layer 10 which not only prescribes intervals of picture elements and shields the step part of a thin film TR (TFT) from light, and a color filter layer 9 is separated among picture elements and is patterned. A transparent electrode to be a common electrode and an oriented film 8 are provided on this color filter layer 9 to obtain a counter substrate. A liquid crystal 7 is enclosed between this counter substrate and an active matrix circuit board to constitute a liquid crystal display panel. A voltage is applied to a semiconductor layer having the same conductive type as the well of the semiconductor layer constituting the TFT to fix the well potential. An impurity area having the conductive type opposite to that of the source and the drain is provided in the semiconductor area side wall part constituting the TFT. by this constitution, the seek current of the TFT is reduced to realize the display of high contrast and high gradation.



Data supplied from the [esp@cenet](#) database - Worldwide

特開平7-199150

(43)公開日 平成7年(1995)8月4日

(51) Int. Cl. ⁶
 G02F 1/133 550
 1/136 500
 G09G 3/36

F I

審査請求 未請求 請求項の数10 O L (全13頁)

(21)出願番号 特願平5-337495

(22)出願日 平成5年(1993)12月28日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 宮脇 守

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74)代理人 弁理士 丸島 儀一

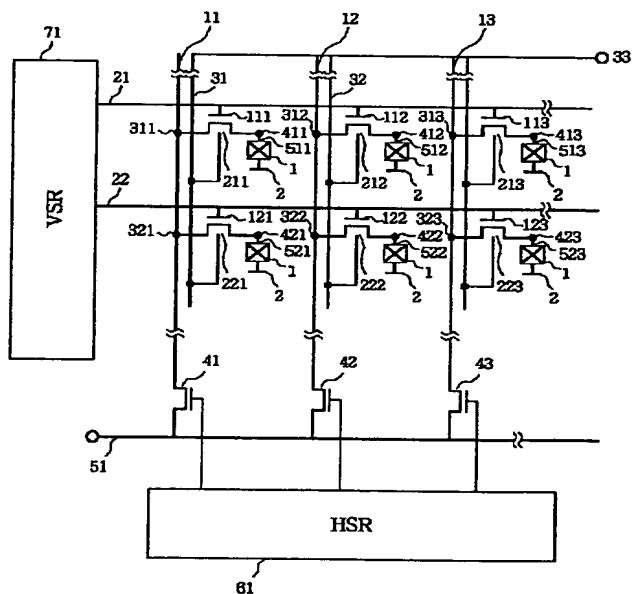
(54)【発明の名称】液晶表示装置

(57)【要約】

【目的】 高コントラスト、高階調、高解像度が得られる液晶表示装置を提供すること。

【構成】 トランジスタが構成される半導体層のソース及びドレインの導電型とは異なる導電型の領域に、電圧を印加するようにした液晶表示装置。

【効果】 TFTリレー電流が従来に比較して格段に低減し、画素電極の信号は変化しないため高コントラスト、高階調、高解像度が実現できる。



【特許請求の範囲】

【請求項 1】 複数の行及び列に沿って複数配された画素電極に対応して該画素電極にドレインを接続した複数のトランジスタと、前記行に沿って設けられた前記トランジスタのゲートを共通に接続した走査線と、前記列に沿って設けられた前記トランジスタのソースを共通に接続した信号線と、を有するアクティブマトリクス回路基板と、対向電極を有する基板との間に液晶を挟持してなる液晶表示装置において、前記トランジスタが構成される半導体層の前記ソース及びドレインの導電型とは異なる導電型の領域に、電圧を印加するようにしたことを特徴とする液晶表示装置。

【請求項 2】 前記トランジスタのドレインに接続される容量を設け、前記容量の前記ドレインと接続されていない側の一方の端子を前記トランジスタが構成される半導体層のソース及びドレインの導電型とは異なる導電型の領域に接続した請求項 1 に記載の液晶表示装置。

【請求項 3】 前記電圧の印加は、前記領域と同じ導電型の半導体層を少なくとも含む層を介して行われる請求項 1 に記載の液晶表示装置。

【請求項 4】 前記容量が、前記領域と同じ導電型の容量形成用の半導体層を介して保たれ、該半導体層に電圧を印加する請求項 2 に記載の液晶表示装置。

【請求項 5】 前記領域を含む半導体層と、前記容量形成用の半導体層とが連続して形成される請求項 4 に記載の液晶表示装置。

【請求項 6】 前記トランジスタのソース・ドレイン領域が、該トランジスタが形成される半導体層の端部には設けられていない請求項 1 に記載の液晶表示装置。

【請求項 7】 前記トランジスタが形成される半導体層の端部をおおう金属層が設けられている請求項 1 に記載の液晶表示装置。

【請求項 8】 前記領域への電圧の印加を、前記領域と同じ導電型で、前記領域が含まれる半導体層とは別の半導体層を介して行う請求項 1 に記載の液晶表示装置。

【請求項 9】 前記ゲートの配線が半導体層の端部で複数に分岐している請求項 1 に記載の液晶表示装置。

【請求項 10】 前記半導体層は多結晶シリコンあるいは単結晶シリコンで構成される請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス回路基板を備えた液晶表示装置に関する。

【0002】

【従来の技術】 従来から、薄膜トランジスタ (TFT) を用いた高密度の 2 次元マトリクス状液晶表示装置 (アクティブマトリクス型液晶表示装置) を用いて、例えばテレビジョン画像を表示する液晶表示装置が提案されている。

【0003】 こうしたなかアクティブマトリクス型液晶表示装置を用いて、高コントラストの液晶表示を実現する方法としては、半導体層に多結晶シリコン (poly-Si) を用いた薄膜トランジスタ (poly-Si TFT) を用いて画素信号を書き込む形態のものが主流となっている。

【0004】

【発明が解決しようとする課題】 しかしながら、poly-Si TFT をスイッチング素子に用いた液晶表示装置については、次のような課題があった。

【0005】 (1) poly-Si におけるキャリアの移動度が小さいため、高速スイッチング動作が難しく、液晶表示装置の画素数が制限され、高解像度のものができない。

【0006】 (2) poly-Si の粒界 (グレインバウンダリー) を介して、ソースとドレイン間にリーク電流が流れるため、画素電極に所望の電圧が保持できず、コントラスト、階調が低下する。

【0007】 (3) poly-Si の粒 (グレイン) の 20 サイズあるいは配向等を均一には制御できず各々の TFT で異なるためトランジスタのしきい値等がバラつく。これに加えて経時変化も起こすため、TFT を用いた回路、パネル設計が難しい。

【0008】 以上の課題を解決するために、poly-Si のグレインサイズを大きくする等の改良により、キャリアの移動度を従来の数～数 10 レベル (n 型 TFT) から、数 10 ～ 数 100 レベルに高める試みが行われている。

【0009】 しかしながら、グレインサイズが大きくなり結晶性がますと、以下のような課題が生じてくる。即ち、

(4) TFT のドレイン端での高電界により発生するインパクトイオン化した不良キャリアの寿命が長くなり、この不良キャリアにより TFT チャネル部のボテンシャルが変化することにより TFT のリーク電流が新たに発生する。

【0010】 (5) さらに、上記高電界を緩和するためには、TFT を構成するシリコン (Si) 層の膜厚を厚くする必要があり、こうした場合、TFT の Si 側壁の欠陥に起因するリーク電流が増加する。また、表示装置として使用する場合、画素 TFT へのもれ光に起因する光リーク電流がより発生しやすくなる。

【0011】 本発明は、以上説明した課題を解決し、高コントラスト、高階調、高解像度が得られる液晶表示装置を提供することを目的とする。本発明の別の目的は、高信頼性、高歩留りを満足する液晶表示装置を提供することにある。本発明の更に別の目的は、以上の優れた特性を有する液晶表示装置を実現するための TFT 構造及びその周辺構造を提供することにある。

【0012】

【課題を解決するための手段及び作用】本発明は、上述の課題を解決するため鋭意検討を行って成されたものであり、下述する構成のものである。

【0013】即ち、本発明の液晶表示装置は、複数の行及び列に沿って複数配された画素電極に対応して該画素電極にドレインを接続した複数のトランジスタと、前記行に沿って設けられた前記トランジスタのゲートを共通に接続した走査線と、前記列に沿って設けられた前記トランジスタのソースを共通に接続した信号線と、を有するアクティブマトリクス回路基板と、対向電極を有する基板との間に液晶を挟持してなる液晶表示装置において、前記トランジスタが構成される半導体層の前記ソース及びドレインの導電型とは異なる導電型の領域に、電圧を印加するようにしたことを特徴とするものである。

【0014】本発明の液晶表示装置は、前記トランジスタのドレインに接続される容量を設け、該ドレインと接続されていない前記容量を構成する一方の端子を前記トランジスタが構成される半導体層のソース及びドレインの導電型とは異なる導電型の領域（以下、「ウェル」とも表現する。）に、接続したものをも包含する。

【0015】本発明の液晶表示装置においては、高電界で発生する不良キャリアや光もれにより発生する光キャリアは、ウェル部に接続した電源に流れ、ウェル電位の変動が生じない。これにより、TFTリード電流が従来に比較して格段に低減し、画素電極の信号は変化しないため、高コントラスト、高階調が実現できる。

【0016】更に、トランジスタのドレインに容量を構成する端子を接続した場合には、同等のTFTのリード電流が発生したとしても、容量により画素電極の電位変化はさらに防止できるため、高コントラスト、高階調が実現できる。

【0017】通常、こうした構成を採用すると電源接続部が多くなり、開口率の低下を引き起こすが、容量の電源とTFTとを構成する半導体層のウェルの電源とを共通化することにより、接続部を簡素化できる。これにより高開口率が達成でき、明るい液晶表示装置が得られる。

【0018】

【実施例】以下、具体的な実施例を挙げて本発明を詳細に説明する。

【0019】実施例1

図1を用いて本発明の液晶表示装置の1例を説明する。

【0020】図1は、本実施例の液晶表示装置の等価回路図である。図1において、1は液晶層、2はTFTが設けられているアクティブマトリクス回路基板に対向する基板に設けられた対向電極、11、12、13は信号線、21、22は走査線である。31、32はTFTウェルの電位固定用電源ラインで、表示領域の周辺部で共通接続され電源端子33に接続されている。41、42、43は、サンプリングトランジスタ、51は水平信

号線、61は水平シフトレジスタ、71は垂直シフトレジスタである。

【0021】111、112、113、121、122、123は、画素部に設けられたTFTのゲート電極で、走査線21、22に接続されている。

【0022】211、212、213、221、222、223は、各TFTを構成する半導体層のソース・ドレイン以外の領域（ウェル部）であり、電源ライン31、32と接続されている。

【0023】311、312、313、321、322、323は各々TFTのソース部であり、信号線11、12、13にそれぞれ接続されている。

【0024】411、412、413、421、422、423は各々TFTのドレイン部であり、画素電極511、512、513、521、522、523にそれぞれ接続されている。

【0025】TFTとしてはn型（nチャネルMOS）でも、p型（pチャネルMOS）でも採用し得る。アクティブマトリクス型の液晶表示装置においては画素電極と対向電極との間に印加する電圧は通常±5V程度でソース、ドレイン間には10V程度の電圧がかかる。したがって耐圧の点からすると、インパクトイオン化率の小さいp型TFTの方が好ましい。

【0026】本例の液晶表示装置の動作について以下に説明する。51の水平信号線には、固体撮像装置や放送等からのビデオ信号が入力される。

【0027】図1には、水平信号線は一本のみの場合の例が示されているが、カラー表示等の場合、色に応じた赤信号、青信号、緑信号用等の水平信号線を複数本配置しても良い。

【0028】水平信号線51に入力したビデオ信号は、水平シフトレジスタ61からの走査パルスにより各サンプリングトランジスタ41、42、43により順次選択される。

【0029】一方、垂直シフトレジスタ71により信号を書き込むべき行たとえば走査線21に対応する行の場合、走査線21に画素部のTFTがONするパルスを印加する。

【0030】これにより入力されたビデオ信号は順次、信号線11、12、13を介して画素電極511、512、513に書き込まれる。したがって、画素部に設けられたTFTがp型の場合、ビデオ信号の振幅の最大値以上にウェル電位がなるよう電源端子33より電圧を印加しておく。又、TFTがn型の場合は、ビデオ信号の振幅の最小値以下にウェル電位がなるよう電源端子33より電圧を印加しておけば良い。

【0031】1H期間（1水平走査期間）終了と同時に、走査線21の電位も垂直シフトレジスタ71より画素部のTFTがOFFするレベルにする。同様の駆動を次の走査線22の行についても行う。

【0032】本例の液晶表示パネルに適用されるアクティブラトリクス回路基板の平面図を図2に示す。

【0033】図1に示した等価回路図と同一の部分については、図1と同一の番号が付されている。

【0034】信号線11はTFTのソース部のp'層とコンタクト311、321を介して接続されている。同様に信号線12はコンタクト312、322を介して接続されている。

【0035】信号線11、12には、A1、A1-si、A1-Si-Cu等のメタル配線を使用した。

【0036】本例においては、TFTを構成する半導体層のソース・ドレイン部の中心近傍にp'層311、611、312、612が設けられ、周辺部には高濃度のn'層1011、1012が設けられていて、両者の高濃度層の間は耐圧を考慮して十分な距離に保たれている。本例の場合、1.5~2.5μmマージンをとった。

【0037】図2においてはp'層311、611、312、612とn'層1011、1012との間はnウエルとなっているが、n'層とp'層との電界緩和のため、p'層周辺にp-層を設けても良い。

【0038】信号線11、12に供給された信号は各ソースから走査線21を介してドレインに伝わる。図2においては、ソースとゲート、ドレインとゲート間の電界を緩和するため、p-層1111、1112をソースとゲート、ドレインとゲート間に設けている。これにより高電圧駆動たとえば10~16Vレベルにおいても十分安定かつ信頼性の高い動作が実現できた。走査線21、22には通常poly-Siが用いられるが、駆動の高速性さらに走査線上の遮光とを満足させるために、ポリサイドたとえばタンクスチレンポリサイド、チタンポリサイド、モリブデンポリサイド等を用いるのが望ましい。

【0039】ドレイン上部には、ドレイン電極711、712が設けられ、p'層611、612とそれぞれ接続されている。ドレイン電極には、信号線と同様の配線層を用いTFTを構成する半導体部がこれらの配線層と走査線とによりおおわれるよう設計されている。これによりTFTを構成する半導体領域の遮光が行われている。信号電圧はドレイン電極上に設けられたスルーホール811、812を介して画素電極511、512に伝えられる。

【0040】本発明における特徴的なところは、図2の1011、1012に示すように、TFTを構成する半導体領域の周辺部に高濃度のn'層を設け、このn'層を信号線に沿って同一の半導体層を配して、上記半導体層を画素周辺で所望の電源に接続することにより、TFTのウエル電位をとっている点である。

【0041】図2のYY'断面を図3に示す。図3においては、ガラス基板3上に、TFT構成用の半導体層が設けてあり、その半導体層のTFTを構成する半導体領

域の外周部には高濃度n'層1011が配されている。

【0042】この図に示す液晶表示装置においてはp型チャネル構造のTFTを用いていることから半導体層は、n型ウエルからなっており、高濃度層n'層1011を必ずしもガラス基板4との界面まで拡散させなくても半導体層とn'層1011は同種の導電型となっていることから問題とはならない。

【0043】本例の液晶表示装置では、半導体層の外周部に接合領域がない構造を採用しており、接合領域を設けた場合に生ずる欠陥層からの発生電流なく、リーク電流の少ないTFTが実現できた。

【0044】以下、図3に示した液晶表示装置の層構成について述べる。

【0045】半導体層上にソース311、ドレイン611、等を形成した後、走査線と併用されるゲート21及び層間絶縁層4が形成されている。層間絶縁層としては、減圧CVD法を用いて形成したSiN膜、リンドープガラスであるPSG、ポロンリンドープガラスBPSG等を用いることができる。

【0046】ところで、液晶表示パネルのソリは、適正な表示画像を得るために液晶ギャップの均一化を図るうえで、非常に重要となる。液晶表示パネルを構成するのに用いられる積層膜は、それぞれ張ぱり応力あるいは圧縮応力を有する膜を積層して構成されている。上記減圧CVD法により得られる膜は強い張ぱり応力をもつ膜なので、この膜厚を所望の値に制御することで液晶表示パネルのソリをコントロールすることができる。11、711は金属配線層であるが、該配線層の密着性が十分高めるためには、金属配線層下にBPSGを設けることが望ましい。金属配線としてはA1、A1-Si、A1-Si-Cu等の配線上にTi、Ta、TiW、Mo、TiN、TaN等の膜を積層すると、画素電極となるITO等のコンタクト抵抗が低くなり、かつオーミック性が得られ、安定性も優れるので望ましい。

【0047】配線工程後PSG等の絶縁層を堆積し、エッチバック等の平坦化を行った。スルーホール811を形成した後、画素電極511をスパッタ法で形成した。

【0048】スパッタ法を用いて画素電極用透明電極ITO(Indium Tin Oxide)を成膜する前に、ブリスパッタで金属配線表面をクリーニングすることが望ましい。こうすることにより画素電極511とドレイン電極である金属配線層711との良好なオーミック接続が実現した。

【0049】画素電極バーニング後、パシベーション膜を設け、液晶配向膜としてポリイミド膜を塗布した。配向処理としてはラビングを用いた。配向膜も単純な一層構成でなく、多層構成として視界角を拡大することも可能である。

【0050】一方、対向基板は、次のようにして構成した。ガラス基板200に各画素間を規定しつつTFTの

段差部を遮光する層10を設け、カラーフィルタ層9を図3に示す如く、各画素間で分離しバターニングした。これによりカラーフィルタ間の混色の問題を回避することができた。

【0051】カラーフィルタ層9上に共通電極となる透明電極及び配向膜8を設けて対向基板を得た。こうして得られた対向基板とアクティブマトリクス回路基板との間に液晶7を封入して液晶表示パネルを構成した。図3においては、偏光板等は明記しなかったが、偏光板も両基板の外表面側に設けてある。

【0052】本例においては、TFTを構成する半導体層のウエルと同じ導電型の半導体層領域に電圧を印加してウエル電位を固定した。そして、TFTを構成する半導体領域側壁部には、ソース・ドレインと反対導電型の不純物領域を設けた。

【0053】このような構成したことにより、TFTのシーケ電流が減り、高コントラスト、高階調な表示を実現できた。これに加えて製造プロセス時に生ずるダメージ等による欠陥が減り、安定な動作を示す液晶表示パネルを高い歩留りで得ることができた。

【0054】実施例2

図4に示したアクティブマトリクス回路基板を用いて構成した液晶表示装置の例について説明する。

【0055】図4は等価回路を示す図であり、図1に示した等価回路図と同一の部分については同じ番号を付したので詳しい説明は省略する。

【0056】本例の液晶表示装置は、TFTが形成される半導体層のソース・ドレインの導電型とは異なる領域(ウエル)の電位を固定するための配線34、35を走査線21、22に沿って配し、画素パネル周辺で共通接続したこと及びビデオ信号のサンプリングをCMOSアナログスイッチ44、45、46を用いて行う構成とした点で実施例1の液晶表示装置とは異なる。

【0057】液晶表示パネルを駆動する場合、フリッカーを抑制するために一行ごと液晶に印加する電圧を反転することが有効である。この場合、一行ごとの画素電極間に隣接する行方向、即ち縦方向に強い電界がかかり、ディスクリネーションとよばれる線欠陥が生じ、画素電極に印加される電圧に無関係に白ヌケを起こしコントラストが低下する。したがって、縦方向の画素開口領域の間隔を横方向より広くとることが高コントラストな画像表示を行い得る液晶表示装置には重要となる。本例によればウエル電位固定用配線34、35を水平方向に設けることにより白ヌケ領域が実効的に遮光され、ならびに各種反転駆動も可能になり、良好なコントラストならびにフリッカーの少ない画素表示が実現できた。

【0058】本例の液晶表示装置においては、ビデオ信号のサンプリングをCMOSアナログスイッチ44、45、46を用いて行い、そのCMOSアナログスイッチのウエル電位もn型、p型TFTにそれぞれ適切な値に

設定した。36、38はウエル電位固定用配線、37、39はそれぞれの電源である。

【0059】図4には明示していないが、垂直、水平シフトレジスタ等の周辺回路の中に使用されているトランジスタのウエル電位をも適切な値に設定した。

【0060】このような構成とすることによりビデオ信号はサンプリングトランジスタのしきい値等に依存せず、信号線にサンプリングできるので、パネル駆動電圧を低くでき耐圧マージンの拡大による信頼性の向上、周辺回路の設計の自由度の増大が図れる。更に他のICとの接続の自由度が増大し、低コスト化も図れる。

【0061】実施例3

図5に示されるアクティブマトリクス回路基板を用いて構成した液晶表示装置の例について説明する。

【0062】図5は等価回路を示す図であり、図1に示した等価回路図と同一の部分については同じ番号を付したので詳しい説明は省略する。

【0063】本例の特徴点は、各画素に電圧保持用容量

1211、1212、1213、1221、1222、

20 1223を設け、それらの容量を保持する一方の端子をTFTのドレイン電極と接続し、他方の端子をTFTのウエル電位をとる電極34、35と接続した点にある。

【0064】一般にTFTのドレイン端の電位は液晶の応答性やTFTのON、OFFに伴う振れや、TFTのリーキ電流等により変化する。

【0065】特に、前者の要因によるものは解決が難しく画質の劣化等を往々にして引き起こす。これに対して、本例の構成では画素部にそれらの影響を受けない十分な容量を設けることにより良質でかつ安定した画像表示が実現できた。

【0066】本例の液晶表示装置の構造について図6に示す平面図を用いて説明する。図6に示した液晶表示パネルにおいては信号線11、12は解像度、色特性の改善のため1行ごとに1/2画素ずつずらして配置されており、該信号線は非直線形状になっている。

【0067】走査線21、22からソース領域311、312、ドレイン領域611、612あるいはゲート領域がつき出して設けられ、ソース・ドレインの方向が該走査線に沿って配されている。

40 【0068】信号線11、12からの信号電圧はそれぞれTFTのソース311、312に伝えられ、走査線21にTFTがONする電圧が印加されると、ドレイン領域611、612へと転送される。図6の2点鎖線Aで囲んだ領域周辺部をより詳しく示したものが図7である。図7をも参照しながら以下の説明をする。

【0069】TFTのソース領域・ドレイン領域の周辺にはウエルと同じ導電型の高濃度不純物層1301がパネルの開口部1800、ソース領域ドレイン領域、走査線及び信号線が配されている下部の一部を除いて上下左右方向に設けられている。

【0070】これらの電位は図6の1303に示すように、パネル開口部1800の周辺で配線層とコンタクトし固定されている。高濃度不純物層1301上には、絶縁層を介して容量形成部材1303が設けられている。1303には通常poly-Siポリサイド、高融点メタル等が用いられる。この1303は、高濃度不純物層1301との間に容量を形成するためのものである。

【0071】ドレン部まで送られた信号は、配線を介して容量形成部材1303とコンタクト部で接続される。

【0072】このように容量を形成する部材の一方は、TFTのドレン部と他方はTFTのウエル部と接続されている。

【0073】図6、図7には示されていないが開口部1800を除いた部分の紙面手前側には遮光層が設けられている。遮光層は、絶縁層あるいは導電層を用いても構成できる。ここではTaN膜を使用した。この場合TaN膜は導電層であるため、ドレンと画素電極とコンタクトする部分でこれらの層と接触すると、画素電極に信号が伝わらない。そこで、画素電極とドレン部とを接続するスルーホール部1522のまわりに穴1422を設けている。

【0074】以上の構造により画素電極電位がより安定し、高品質の画像表示が実現できた。

【0075】次に、本発明で使用するアクティブマトリクス回路基板の作製方法を図1～図12を用いて説明する。図1～図11は一連の作製工程を説明するものであり、図12は絶縁性基板上に半導体層を形成する工程の1形態を説明するものである。

【0076】図7(a)に示すように、ガラス基板3上に半導体Si層3001を設ける。

【0077】半導体層としては、上記Si層だけでなく、GaAs等のIIII-V族系、II-VI族系のものでも良い。poly-Siの場合その厚さは100～700Åと薄い方が望ましく、Si、H₂を原料ガスとし450℃の減圧CVD法でアモルファスSiを堆積し、その後、N₂中で600℃、24時間熱処理を加え、固相結晶化させる方法を用いた。さらにO₂中で1050℃の熱処理をすると結晶性がさらに向上する。

【0078】又、原料ガスとしてSiH₄を用いて500℃～600℃の温度でpoly-Si膜を形成し、Siのイオン注入によりpoly-Si膜をアモルファスに近い状態にした後500～700℃中で50時間程度熱処理を加える方法でも良い。

【0079】さらに、単結晶の場合、その厚さは、100Åから8000Å程度と厚くすることが望ましいがこの値に制約されるものではない。単結晶Si層の形成には、酸化したSiウエハもしくはSiウエハを石英ガラスウエハとグリーン雰囲気中で貼り合わせする。その後、150℃～200℃でアニール処理した後グランダ

ーでSi層が100～200μmまで残るようにする。その後、アニール温度を300℃に高くしTMAH(テトラメチルアンモニウムハイドロオキサイド)エッティング液でSi層が0.5μm程度になるようにエッティングする。薄膜化した後再度1000℃でアニールしポーディング強度を高めた。このような方法の場合、Si薄膜層の面内均一性がグランダー精度に強く依存するという問題点をもつ。

【0080】これを解決する方法として、図12に示した手法がある。この手法について、図12を参照しながら説明する。

【0081】Siウエハ4001を浸してあるフッ酸エタノール混合液中に1Aの電流を流しSiウエハ4001表面に約15μmの多孔質層4002を形成する(図12(a))。その後洗浄し酸素雰囲気中で400℃20分程度多孔質層を酸化し、希フッ酸液中で表面酸化層を除去する。こうして得られた処理ウエハを減圧CVD装置に入れ、H₂雰囲気中で1100℃で7分間熱処理した後、900℃で多孔質Si層4002上に0.5μm～1μmのエピタキシャルSi膜4003を成長させる(図12(b))。多孔質層上でも上記希フッ酸処理、H₂アニール処理を行えば良質のエピ膜は成長する。このウエハを上述した例と同様石英ガラス4006にボンディングし(図12(c))、アニールとSiの非多孔質部4001のエッティングとをくり返し行う。ここで貼り合わせるのは石英ガラス4006に代えてSiウエハ4004に酸化膜4005を形成したものであっても良い。Siの非多孔質部4001の除去にはエッティングの他にグランダーや研磨を用いても良い。

【0082】Siの非多孔質部4001が約150μm程度になった段階でフッ硝酸酢酸エッティング液で残りのSi層を除去する。この時多孔質層4002が露出すると表面が黒化する。これにより多孔質層4002までエッティングが進んだことがわかる。この方法だけでなく、研磨グランダーを用いて多孔質層を露出させても良い。多孔質層4002が露出した後、フッ酸過酸化水素水中で多孔質層4002をエッティング除去する(図12(d))。こうすることによりガラス基板4006上に膜厚均一な単結晶Si層4003がもうけられる(図12(e))。

【0083】上述したようにガラス基板4006の代わりに、Siウエハ4004に酸化膜4005を形成したものを貼り合わせ基板としても良いが、この場合にはSiウエハ4004を部分的にエッティング除去し、光透過可能とすれば、液晶表示パネルに適用することができる。以上説明した手法によつても絶縁性基板3上に半導体薄膜3001を形成できる(図8(a))。

【0084】次に、開口領域、配線領域の一部以外に図8の(b)に示す如く、酸化膜1601、SiN膜1602を設け熱処理する。これにより図8(c)に示す如

く酸化膜1601、SiN膜1602がもうけられない領域のSi層が酸化されフィールド酸化膜1603が形成される。

【0085】図8(d)に示す如くレジストマスク3002を配し、配線領域の一部のフィールド酸化膜1603を除去する。除去後、このレジストマスク3002の上からヒ素やリンのイオンを注入し、Si薄膜エッジ1604にn'層を形成した。この工程は必ずしも必要としないので低成本が要求される場合は、削除しても良い。

【0086】次に、図9(e)に示す如く、TFTのウエル電位固定用高濃度不純物層1605を形成する。高濃度層の抵抗を低くすること、さらに、もれ光による光キャリアの拡散長を極力短くするために高濃度不純物層1605は絶縁層まで到達し、かつ 10^{19} cm^{-3} 以上の濃度が望ましい。次に、TFTの走査線、ゲート線、容量形成用の部材としてpoly-Si膜をゲート酸化膜形成後に堆積し、パターニングする(図9(f))。1606は容量を形成する部材(図6に示した1303に相当)、1607はTFTのゲート、1608は走査線領域のpoly-Siである。

【0087】1608に示すように走査線は、極力Si半導体層上には設けず寄生容量を低減する。走査線は半導体層と半導体層の間に設けられているため段差も低減し、配向不良が減る。次に、上記poly-Siをマスクにゲートとドレイン、ゲートとソースとの間の電界緩和のためp'層1609を形成する。

【0088】図10の(g)に示す如く、ソース、ドレインとなるp'層1610をゲート1607に対して1~1.5μmオフセットをつけ、又n'層1605との距離を1.5~2.5μmとして形成する。これにより耐圧は液晶駆動には十分の30V以上が実現できる。ソース・ドレインのp'層1610をアニール後、減圧CVD法を用いてSiN膜1611を4500Åの膜厚で、BPSG1612を2000Åの膜厚で形成した。SiN膜によれば張はり応力が得られ、該膜は積層膜のソリ量の調整に有効である。ソリの制御は液晶キャップの均一化には重要である。BPSGはその上のメタル配線を密着性よく形成できる利点を有している。

【0089】SiN1611、BPSG1612からなる層間絶縁層の1615に示す箇所にコンタクト穴をあけ、配線層を堆積する。配線層としては1613に示す例えばAl-Si、Al-Si-Cuが採用でき、又、その上には1614に示す例えばTiN、TaN、Mo、TiW、Ti、Ta等が採用できる(図10(h))。こうすることにより透明電極とのコンタクト性が向上し、かつ上部層へのヒロック防止及び遮光性向上にも有効であり、歩留りが向上する。

【0090】図11(i)に示すようにPSGを堆積、レジスト塗布後のエッティングバックにより配線上の絶縁

層を平坦化し、その上に再度PSGを堆積し、合計10000~13000Åの絶縁層1616を形成する。

【0091】一般的に液晶表示パネルは、対向基板に遮光層を設けて遮光するがこうした場合、TFTが設けられるアクティブラトリクス回路基板との位置ずれ等を考えると、開口率が小さくなる。ここではTFTが設けられるアクティブラトリクス回路基板に1617に示す遮光層を設ける。これにより通常の半導体プロセスのアライメント精度で遮光層が形成できる。例えば、0.7インチ30万画素レベルのパネルでも開口率30%が得られる。図11(i)の遮光層1617の位置からわかるように画素電極とコンタクトをとる領域は開口している。

【0092】次に、図11(j)に示す如く、PSG1618を1000~2000Å堆積した後、画素電極とドレイン部とのコンタクトとなるスルーホール1621をエッティングにより形成し、画素電極用透明電極ITO1619を堆積する。この堆積前に上記スルーホール部をプレスパッタで配線上に形成されている絶縁層をとり除くことが良好なオーミック接觸を得るために重要である。

【0093】透明電極1619のパターニング後、パッシベーション膜としてPSG膜1620を約8000Åの膜厚で堆積する。ここで、段差が開口領域のエッジ部にあると白ヌケを起こすので、このPSGを平坦化することが望ましい。又、画素電極のみパッシベーション膜で除去すると焼き付き特性が改善され、安定な表示が実現できるパネル駆動用パッドのパターニング、遮光層の電源接続等は図示していないが、パネル周辺部に設ける。尚、図11(j)に示した断面は、図7に示される基板をXX'で切断したものに相当する。

【0094】この後、図示していないが、ポリイミド膜を約500Åの厚みで設け、ラビング処理を行い配向処理を行う。この際、液晶の視野角向上のため、複数の配向膜材を配し、プレチルト角を異なる複数領域を形成する方法等も有効である。

【0095】以上、説明した本例の液晶表示装置では、TFTのリーク電流がさらに減少し、又、画素電位の安定性も向上したことにより良好な画像表示が実現できた。又、図11からわかるように開口領域はフィールド酸化膜1603が厚く、平坦な構成が実現している。これにより色ヌケ等もなく、高コントラスト、高開口率が実現できた。

【0096】実施例4

図13を用いて説明する。図13は本例の液晶表示パネルの平面図である。図13において1721、1722は各行の走査線、1711、1712は信号線、1731は上記信号線とTFTとを接続するソース部のp'層、1732はTFTのドレイン部のp'層である。1733はソースとゲート、ドレインとゲートの電界緩和

及びソースとウエル、ドレインとウエルとの電界緩和のために設けられたp'層であり、1734はウエルと同じ導電型の高濃度層、本例ではn'層上である。1735はドレインとn'層上のpoly-Si（図では省略）と接続するコンタクト穴、1736はドレインと画素電極（図では省略）とを接続するスルーホールである。1737に示すように、本例で用いるTFTのゲートは、半導体層の側壁部では2つに分岐しており、その間に高濃度n'層1734を設けている。前述したようにTFTのリークの主要箇所は、側壁部である。上記の構造によれば、側壁部のゲートを2重にし冗長性をもたすことにより、仮に1つのゲートで欠陥等によりリークが発生したとしても、もう1つのゲートによりリークが防止可能となる。

【0097】従来、冗長ゲートとして単純にゲートを2つ設ける構成は、実施されているが、このような構成をとるとTFTのチャネル部が直列接続となりその抵抗が1つのゲートの場合に比べて2倍となる。

【0098】従って、信号書き込みがその分遅くなり、TFTのサイズも大きくなり実効的開口率が小さくなる欠点があった。本例の構成を用いるとリーク電流は、2重ゲート以上となりかつTFTのチャネル抵抗は1重ゲートと同等と小さく書き込みが高速で、TFTリークも少なく高品質な画像表示が実現でき、開口率が高く明るい表示が可能になった。

【0099】図13からもわかるように、1734に示す高濃度不純物層n'とゲート1737とは、所望の距離において設けられており、ゲートをON時に生じるチャネルと上記n'層との耐圧も十分高く設定でき、高い信頼性が得られた。

【0100】さらに、図13の1738、1739に示すように、半導体層のエッジオーバーサイズで配線層もしくは遮光層としてメタル層が設けられている。本構造により、半導体層の側壁部にも遮光用メタルが配置されることにより、光リークによるコントラスト低下を引き起こさない効果が奏される。

【0101】実施例5

図14及び図15を参照しながら説明する。

【0102】図14(a)は、本例の液晶表示パネルの平面図、図15(b)は図14(a)のYY'における断面図、図15(c)はその変形例の断面図である。1811は信号線、1831はソース部を構成するp'層、1832はドレイン部を構成するp'層、1835は容量形成poly-Si1838へのコンタクト部、1836はドレイン部と画素電極1839と接続するためのスルーホールである。

【0103】実施例4までは、ウエル電位をTFTのドレイン、ソース、ウエルが形成される半導体層から引きまわし固定していたが、本例では、トランジスタが形成される半導体層とは異なるpoly-Si層1837

を、ウエル電位固定用配線として使用している点が異なる。本構造ではpoly-Si層1837からの拡散により高濃度不純物層1840がダイレクトコンタクト1841と自己整合的に設けられる。したがって、TFTの半導体層面積を小さくでき、光リークに対して強い液晶表示装置が実現できる。又、図15の(b)からわかるように、本構造では、1837、1838に示すようにpoly-Si層が2層設けられ、そのpoly-Si層の間で容量を形成している。このウエル電位を設定するためのpoly-Si層は、poly-Si単独構成ではなく、polyサイド層等、メタルとSiとが混在したものでも良い。

【0104】図15の(c)に示す如く、2層目のpoly-Si1838もダイレクトコンタクトによりドレイン部1842を形成し、画素電極とのコンタクトもA1配線を介さず直接poly-Si1838上で行った。この場合、poly-Si表面にはTi層を設け、熱処理によりTiシリサイド等を形成しておき、画素電極と良好なオーム接続を実現した。

【0105】以上に示す構成により、ドレイン部から画素電極コンタクトまでのスペースをつめる（小さくする）ことができ、さらに高開口率の明るいパネルが実現できた。図15(c)では1842と1843のコンタクト、スルーホールが異なる位置に設けられているが、これを縦方向に設ければさらに高開口率が達成できる。

【0106】実施例6

図16を参照しながら説明する。図16において、1901は対向基板、1902は該基板上に設けられたカラーフィルタ、遮光膜（ブラックストライプ）、対向電極、配向膜等から成る層である。

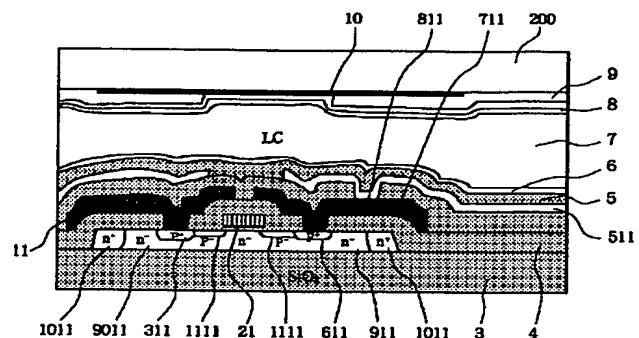
【0107】1903は液晶層、1904は配向膜、1905はTFTのウエル電位固定用配線でウエル1911から絶縁層1908を介して液晶層側に形成されている。1906は絶縁層で1907は透明電極で画素電極となる。この画素電極はTFTのドレイン1910と電極1909により接続されている。1911はTFTのソース領域、1912は信号線配線、1913はTFTのゲート、1914は層間絶縁層である。1917は遮光層であり、1915はガラス基板1916とTFTを設けた薄膜とを接着する樹脂である。

【0108】図16からわかるように、TFTのウエル電位固定用電極1905と画素電極1907とは、1906の絶縁層を介して容量を形成しており、これにより、画素電極の電位は極めて安定となり良好な画素表示が実現できた。又、このウエル電位固定用電極1905はLC側からの外光もカットするため、TFTの遮光がTFTの上下で可能になっている。

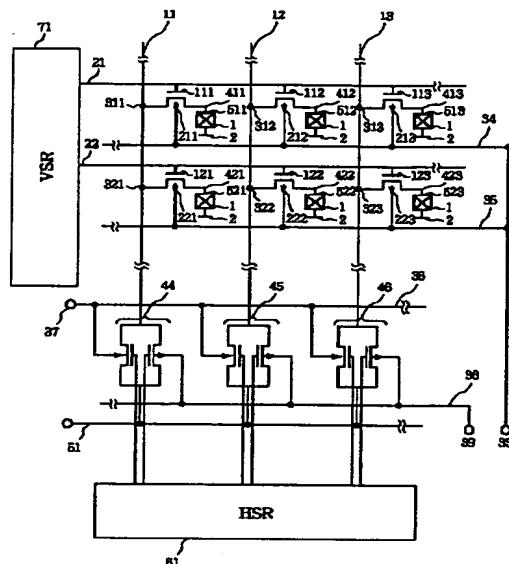
【0109】

【発明の効果】本発明の液晶表示装置においては、高電界で発生する不良キャリアや光もれにより発生する光キ

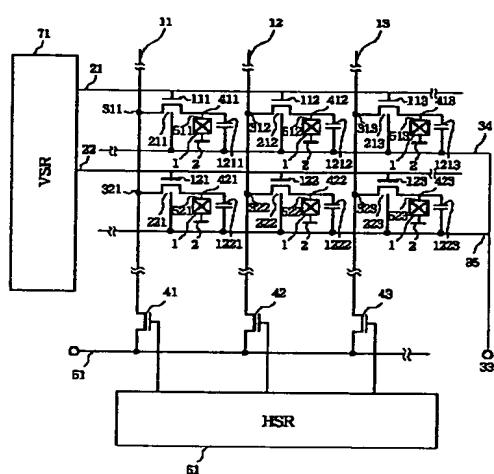
【図 3】



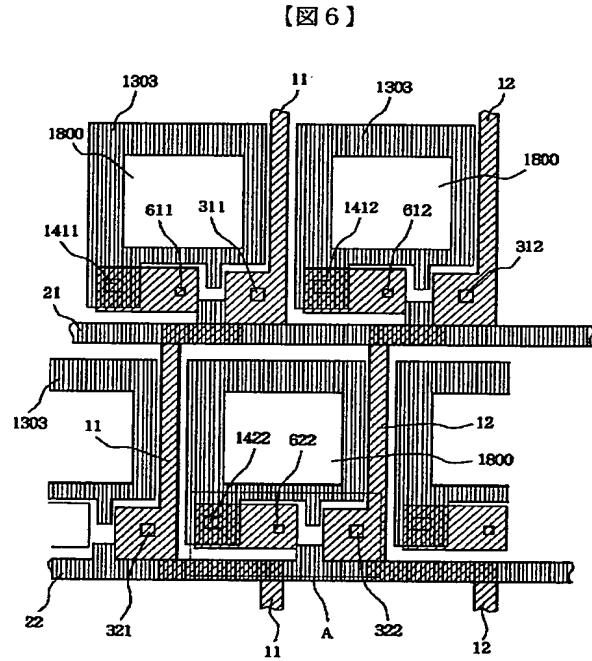
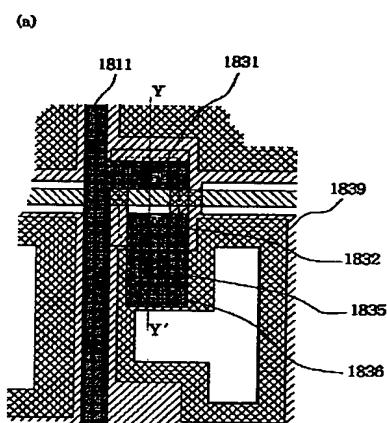
【図 4】



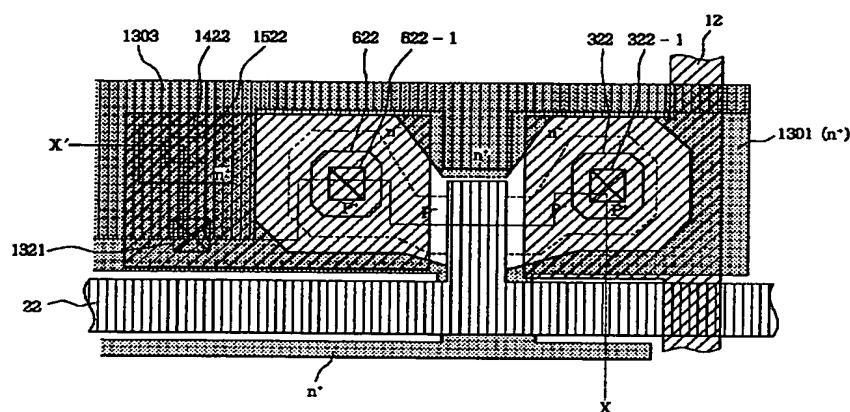
【図 5】



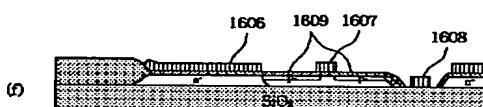
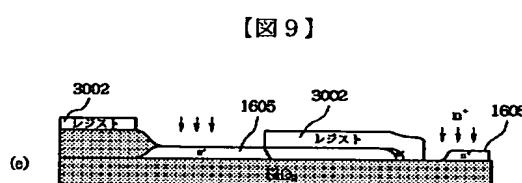
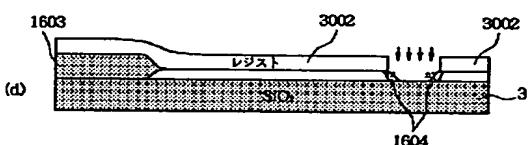
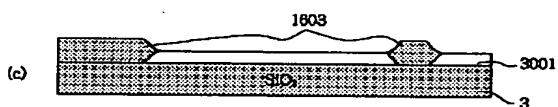
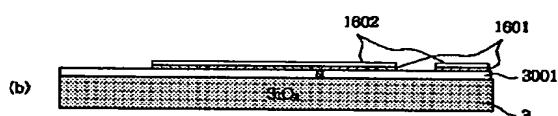
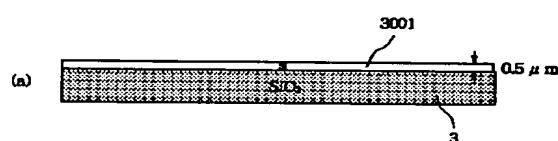
【図 14】



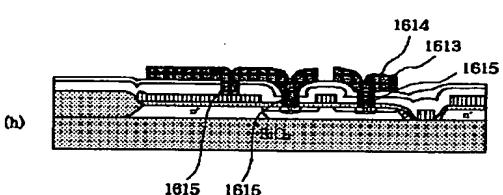
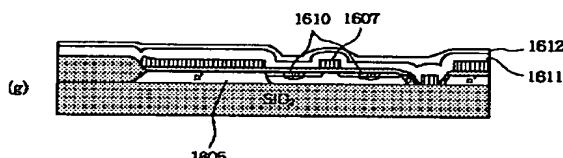
【図 7】



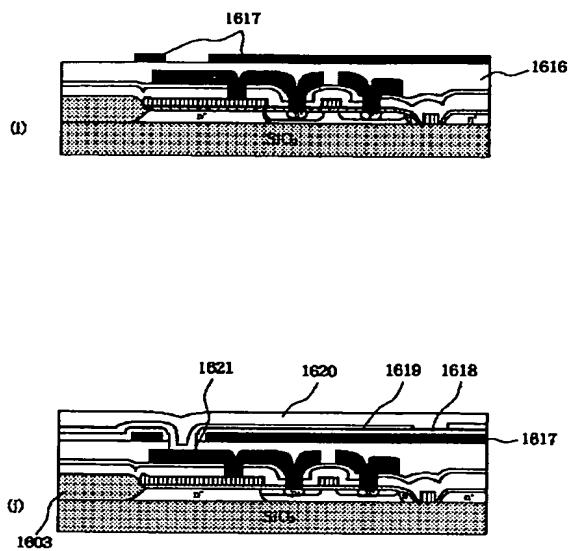
【図 8】



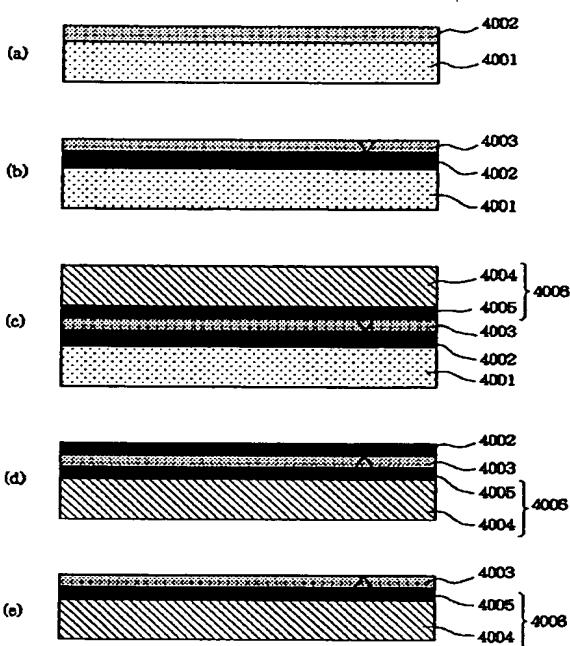
【図 10】



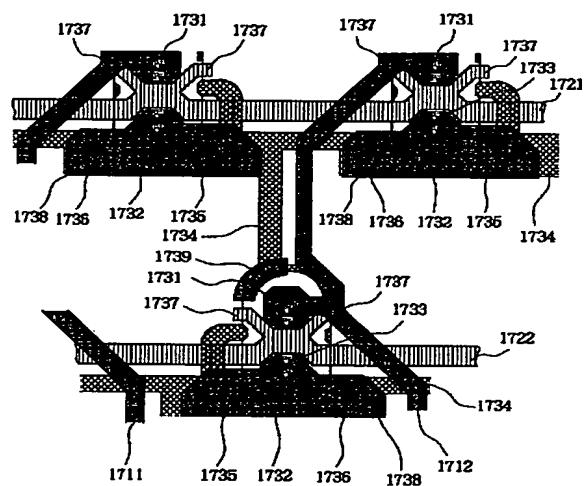
【図11】



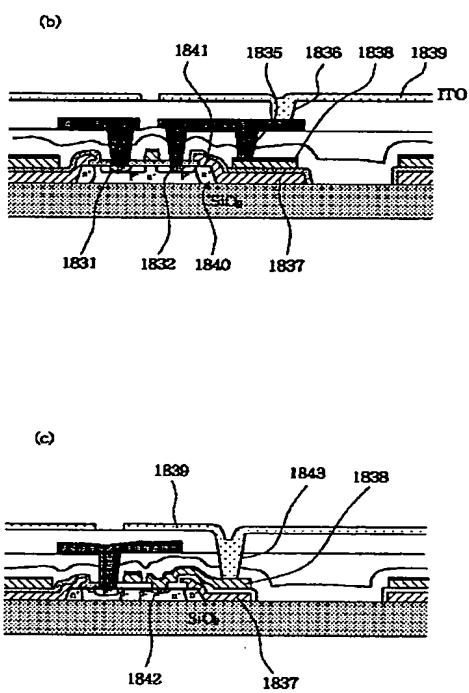
【図12】



【図13】



[図15]



【図16】

